

## 書誌

- (19)【発行国】日本国特許庁(JP)  
(12)【公報種別】公開特許公報(A)  
(11)【公開番号】特開平5-128054  
(43)【公開日】平成5年(1993)5月25日  
(54)【発明の名称】データ処理装置  
(51)【国際特許分類第5版】

G06F 13/36 320 B 8725-5B

【審査請求】未請求

【請求項の数】3

【全頁数】26

(21)【出願番号】特願平3-288394

(22)【出願日】平成3年(1991)11月5日

(71)【出願人】

【識別番号】000006013

【氏名又は名称】三菱電機株式会社

【住所又は居所】東京都千代田区丸の内二丁目2番3号

(72)【発明者】

【氏名】小林 聡一

【住所又は居所】兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ  
研究所内

(72)【発明者】

【氏名】斎藤 祐一

【住所又は居所】兵庫県伊丹市瑞原4丁目1番地 三菱電機株式会社エル・エス・アイ  
研究所内

(74)【代理人】

【弁理士】

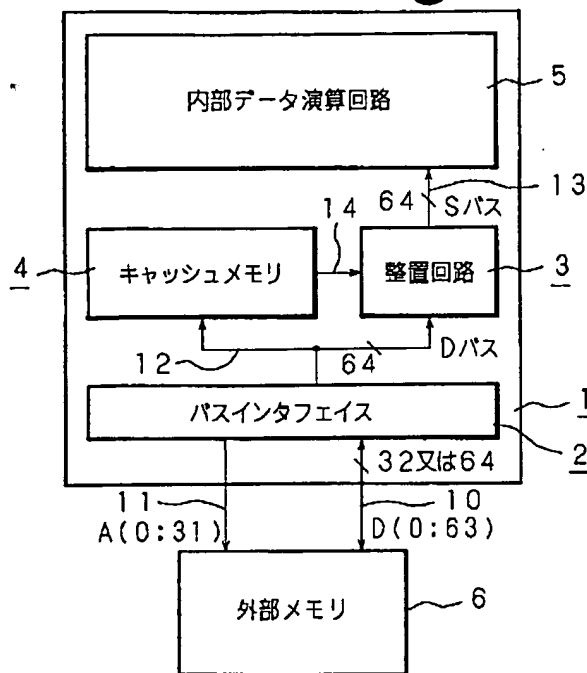
【氏名又は名称】高田 守 (外1名)

## 要約

(57)【要約】

【目的】バスサイジング機能を有するデータ処理装置であって、外部データバスをアクセスする際に、その使用されるバス幅には拘わらずに常に同一のアクセス制御を行い得るデータ処理装置を提供する。

【構成】バスサイジングにより外部データバス10のバス幅の一部のみを使用してアクセスを行う際に、順次入力されるデータを蓄積して外部データバスの全バス幅と等しいビット数のデータを揃えるためのレジスタ23を備える。また1データのアクセス要求に対して、外部データバス10のバス幅の一部を使用する際に、バス幅に応じてバスサイクルを複数回に分割して起動し、外部データバス10の全バス幅を使用してアクセスした場合と同様のデータをアクセスするように制御する回路2を備える。



10 : 外部データバス

## 請求の範囲

### 【特許請求の範囲】

【請求項1】 外部データバスと、該外部データバスを介して接続されそのバス幅の全幅を1単位とするメモリ境界複数にてメモリ領域が構成される外部メモリとを備えたデータ処理装置において、前記外部メモリのアクセスに際して前記外部データバスのバス幅の一部を使用するかまたは全部を使用するかを切り替えるバスサイジング手段と、前記外部メモリ上の任意の位置のデータをアクセスする場合に、アクセス対象のアドレスを含むメモリ境界から連続する複数のメモリ境界をアクセスするアクセス手段と、アクセス対象のアドレスに基づいて該アドレスを含む前記メモリ境界の先頭アドレスを発生するアドレス発生手段と、該アドレス発生手段により発生された先頭アドレスから順に前記メモリ領域内を連続的にアクセスするバスインタフェイス回路とを備えたことを特徴とするデータ処理装置。

【請求項2】 請求項1記載のデータ処理装置において、前記外部データバスと同一ビット幅を有し、前記外部データバスからデータが入力される内部データバスと、前記外部データバスのバス幅の内の前記バスサイジング手段により指定可能な最小のバス幅以外のバス幅と同一ビット幅のレジスタとを備え、前記バスインタフェイス回路は、前記外部データバスのバス幅全部を使用して前記外部メモリを連続的にアクセスする場合は、アクセスの都度、前記外部データバス上のデータを直接前記内部データバスへ出力し、前記外部データバスのバス幅の一部を使用して前記外部メモリを連続的にアクセスする場合は、アクセスの都度、前記外部データバスからデータを前記レジスタに蓄積し、前記レジスタにデータが満たされた場合に次のアクセスに際して前記外部データバスからのデータを前記内部データバスの対応するビット位置へ出力すると共に前記レジスタに蓄積されているデータを前記内部データバスの対応するビット位置に出力すべくなくしてあることを特徴とするデータ処理装置。

【請求項3】外部データベースと、該外部データベースを介して前記外部メモリが接続されたデータ処理装置において、前記外部メモリのアクセスに際して前記外部データベースのバス幅の一部を使用するかまたは全部を使用するかを切り替えるバスサイジング手段と、所定回数の外部バスアクセスを1組の処理として実行することにより連続的に前記外部メモリをアクセスするアクセス手段と、アクセスの起動が要求された場合に、該アクセス起動要求を受け付けて、前記外部メモリに対して外部バスアクセスを起動するバスインタフェース回路とを備え、該バスインタフェース回路は、1アクセスの起動要求に対して、前記外部データベースのバス幅全部を使用してアクセスする場合には1組の連続した外部バスアクセスを1組発生して前記外部メモリの対応するメモリ領域をアクセスし、外部データベースのバス幅の一部を使用する場合には、使用するバス幅に対応して複数組の連続した外部バスアクセスを発生し、各1組の連続した外部バスアクセスの第1番目の外部バスアクセスのためのアドレスを発生して各1組の連続した外部バスアクセスを起動し、前記外部データベースのバス幅全部を使用した場合のメモリ領域を順次アクセスすべくしてあることを特徴とするデータ処理装置。

## 詳細な説明

### 【発明の詳細な説明】

#### 【0001】

【産業上の利用分野】本発明は、バスサイジング機能を有するデータ処理装置に関し、更に詳述すれば、異なるバス幅のデータベースをバスサイジング機能によりアクセス可能としたデータ処理装置に関する。

#### 【0002】

【従来の技術】データ処理装置には、メモリアccessに際してデータのリード／ライトを行う場合に、バスサイジング機能を使用して有効なデータベースの幅を切り替えることにより、メモリシステムに適したアクセスを可能とするものがある。

【0003】バスサイジング機能には、メモリアccessの都度バス幅を指定することによりバス幅を変更することが可能なダイナミックバスサイジングと、装置全体のリセット時にバス幅の指定を行うことによりそれ以後同一のバス幅に固定されるスタティックバスサイジングとがある。

【0004】以下に、上述のようなバスサイジング機能を有し、更にキャッシュを備えた従来のデータ処理装置の一例について図面を参照して説明する。

【0005】図1は従来のデータ処理装置の構成を示すブロック図である。このデータ処理装置1には外部データベース10及び外部アドレスバス11にて外部メモリ6が接続されている。外部データベースD(0:63)10のバス幅は64ビットであるが、スタティックバスサイジング機能を有して外部データベース10を64ビット幅または32ビット幅のいずれかに指定して使用することが可能である。外部データベース10を32ビット幅で使用する場合は、外部データベース10の下位32ビットD(32:63)のみを使用してアクセスする。なお、外部アドレスバスA(0:31)11は32ビット幅に固定されている。

【0006】このデータ処理装置1はバスインタフェース2と内部機能回路とで構成されている。内部機能回路としては、整置回路3、キャッシュメモリ4、内部データ演算回路5等が備えられている。そして、整置回路3とキャッシュメモリ4とは共に内部データベースであるDバス12によりバスインタフェース2と接続されている。また整置回路3と内部データ演算回路5とはデータベース13で接続されており、キャッシュメモリ4とSバス13とはバス14にて接続されている。

【0007】外部メモリ6に対するリードアクセスにより外部データベース10から得られたデ

ータは、バスインタフェイス2からDバス12を経由して整置回路3とキャッシュメモリ4とに転送される。リードされたデータは整置回路3で整置されると共に、キャッシュメモリ4に登録される。リードすべきデータが予めキャッシュメモリ4に登録されている場合は、当該データはキャッシュメモリ4からバス14を経由して整置回路3に送られる。整置回路3で整置されたデータはSバス13を経由して内部データ演算回路5に送られる。なお、データ処理装置1内のDバス12、Sバス13、バス14は全て64ビット幅である。

【0008】図2はバスインタフェイス2のデータ転送系の回路を示す回路図である。この回路は3状態バッファ30、31とバッファ32、33とで構成されている。外部データバス10の上位32ビット分のバス10Hはバッファ32及び3状態バッファ30を介してDバス12の上位32ビット分のバス12Hに接続されており、外部データバス10の下位32ビット分のバス10Lはバッファ33及び3状態バッファ31を介してDバス12の下位32ビット分のバス12Lに接続されている。

【0009】図3はデータリード時における上述の3状態バッファ30、31の制御信号3A、3Bの論理レベルを示す模式図である。制御信号3A、3Bはこの状態では必ず“1”である。従って、外部データバス10の上位32ビット分のバス10HからはDバス12の上位32ビット分のバス12Hにデータが出力され、外部データバス10の下位32ビット分のバス10LからはDバス12の下位32ビット分のバス12Lにデータが出力される。

【0010】図4は整置回路3の構成を示すブロック図である。整置回路3には、Dバス12から入力される非整置データを格納するために32ビットの4Aレジスタ40、32ビットの4Bレジスタ41、24ビットの4Cレジスタ42からなる88ビットレジスタ400が備えられている。また、この88ビットレジスタ400に格納されているデータの整置を行うシフタ43と、シフタ43により整置されたデータを保存する64ビットのレジスタ44も備えられている。

【0011】この整置回路3は8ビット、16ビット、32ビット、64ビットのデータを整置することができるように構成されている。このため、64ビット長のデータは外部メモリ6のメモリ空間上の32ビット境界を最大2回跨ぐ可能性があるため、非整置データを格納する4A、4G、4Cレジスタ40、41、42のサイズが合計で88ビット必要になる。

【0012】図5はDバス12上のデータがどのように図4に示されている4A、4B、4Cレジスタ40、41、42に取り込まれるかを示す模式図である。データが取り込まれる際の条件は、使用している外部データバス10のバス幅とアドレスの下位から3ビット目の値とにより決定される。

【0013】図6はキャッシュメモリ4の構成を示すブロック図である。キャッシュメモリ4は、256ビットのデータ登録レジスタ50、データ読出しレジスタ52、キャッシュメモリデータ部51、256ビットから88ビットを取り出すシフタ53、タグ登録レジスタ54、キャッシュメモリタグ部55、タグ読出しレジスタ56等にて構成されている。

【0014】キャッシュメモリ4の1つのラインに登録されるデータは256ビットの大きさである。キャッシュメモリ4の登録のための外部バスアクセスはバースト転送アクセスで行われ、1ライン分のデータを高速にアクセスすることが可能である。なお、データ登録レジスタはそれぞれが32ビット幅の8個のレジスタ5A、5B…5Hにて構成されており、それぞれのレジスタ5A、5B…5HがDバス12の上位32ビット分のバス21H及び下位32ビット分のバス12Lと接続されている。

【0015】図7は図1に示されているデータ処理装置1が処理対象とするメモリ空間の一部の構成を示す模式図である。なお、図7に示されているアドレスはバイトアドレスであり、またここに示されているのは32ビットアドレスの下位16ビットであり、16進数で表示されている。

【0016】図8及び図9はバースト転送アクセスのタイミングを示すタイミングチャートである。図8は外部データバス10が64ビット幅である場合を、図9は同じく32ビット幅であ

る場合をそれぞれ示している。

【0017】バースト転送アクセスは、4つのバスサイクルを1組にした転送方法である。  
図8及び図9において、(a)はクロックCLKを、(b)は外部アドレスバスA(0:31)上のデータバス、(c)はバス開始信号#BSを、(d)はアドレスストローブ信号#ASを、(e)はデータストローブ信号#DSを、(f)はリード／ライト信号R/#Wをそれぞれ示しており、これらはいずれもデータ処理装置1が出力する信号である。また、(g)はアクセスの終了を示すデータ転送完了信号#DCを、(h)は外部データバスD(0:63)10上のデータをそれぞれ示しており、これらはいずれもデータ処理装置1が入力する信号である。更に、(i)はバースト転送アクセスの開始を示すアクセス開始信号を、(j)はバースト転送の各サイクルの切れ目を示すバスサイクル終了信号をそれぞれ示しており、これらはバスインタフェース2から内部データ演算回路5にバスサイクルの状態を示す信号である。

【0018】次に上述のような従来のデータ処理装置1の動作について説明する。データ処理装置1は、メモリに対するデータリードの必要が生じると、先ず内蔵のキャッシュメモリ4に対してアクセスを行う。キャッシュミスした場合、即ちアクセス対象のデータがキャッシュメモリ4に格納されていない場合は、外部メモリ6に対してバスサイクルの起動を行ってバースト転送アクセスによるデータのリードを行う。外部メモリ6に対するアクセスが行われてデータがリードされると整置回路3がデータを整置すると同時に、キャッシュメモリ4にそのデータが登録される。次回に同一のアドレスに対してアクセスされた場合は、キャッシュメモリ4にデータが既に登録されている、即ちキャッシュヒットするので、外部メモリ6をアクセスする必要がないためアクセスに要する時間が短縮される。

【0019】このデータ処理装置1は、前述のようにスタティックバスサイジング機能を有しているので、外部データバス10のバス幅を変更して動作可能である。以下に、キャッシュミスしバースト転送アクセスによりデータのリードを行う場合の動作が、使用する外部データバス10のバス幅によりどのように異なるかを説明する。

【0020】まず、外部データバス10のバス幅を64ビットとして動作する場合について説明する。キャッシュミス時には、キャッシュの1ライン分のデータのリードのために1回のバースト転送アクセスが起動される。外部データバス10のバス幅が64ビットで4回のバスサイクルで構成されたバースト転送アクセスを1回だけ行うことにより、256ビット分のデータのリードが行える。

【0021】例えば、アドレスが"000A"でデータ長が64ビットである図7に示されている範囲のアドレスのデータ1を必要としキャッシュミスした場合に、バースト転送アクセスによりデータをリードする動作を説明する。なお、図8がこの動作のタイミングチャートである。

【0022】バースト転送アクセスの第1サイクルでは、データ1が存在する先頭アドレスが"0008"である64ビット境界がアクセスされ、引き続きアクセスでは同じ256ビット境界内がラップアラウンドにより順次アクセスされる。従って、バースト転送アクセスは、"0008"→"0010"→"0018"→"0000"のアドレス順でアクセスされる。

【0023】図8(h)及び(k)に示されている外部データバスD(0:63)10及びDバス12に付与されている番号のデータは順番に"0008", "0010", "0018", "0000"のアドレスから始まる64ビットデータをそれぞれ示している。

【0024】整置回路3では、図5に示されている64ビットデータバス幅でアドレスの下位から3ビット目が"0"である場合のように動作する。アドレス"0008"をアクセスする第1サイクルのDバス12の上位32ビットは88ビットレジスタ400の4Aレジスタ40に、下位32ビットは4Bレジスタ41にそれぞれラッチされる。アドレス"0010"をアクセスする第2サイクルのDバス12の上位32ビットは4Cアドレス42にラッチされる。

【0025】図8(i)に示されているバスサイクル終了信号は、バスサイクルの切れ目を示すのみならずDバス12上に有効なデータが乗っていることも示しているため、この信号がアサートされている期間に整置回路3及びキャッシュメモリ4にあるレジスタにデータがラッチされる。この動作により、データ1は88ビットレジスタ400を構成する4A、4B、4Cレジスタ40、41、42に保持され、この88ビットのデータは次にシフタ43で整置された後にレジスタ44にラッチされ、Sバス13に出力される。

【0026】キャッシュメモリ4では、バースト転送アクセスでリードされたデータがデータ登録レジスタ50に順次ラッチされて行く。アクセスされるアドレスは"0008"→"0010"→"0018"→"0000"の順であるから、第1サイクルのDバス12の上位32ビットはデータ登録レジスタ50のレジスタ5Cに、下位32ビットは同じく5Dに、第2サイクルのDバス12の上位32ビットは同じく5Eに、下位32ビットは同じく5Fに、第3サイクルのDバス12の上位32ビットは同じく5Gに、下位32ビットは同じく5Hに、第4サイクルのDバス12の上位32ビットは同じく5Aに、下位32ビットは同じく5Bにそれぞれラッチされる。

【0027】図8(j)に示されているバスサイクル終了信号はバスサイクルの切れ目を示すのみならず、Dバス12上に有効なデータが乗っていることも示しているため、この信号がアサートされている期間にデータが各レジスタにラッチされる。

【0028】第4サイクルが終了するとデータがキャッシュメモリ4に登録される。こうして、データ1を含む256ビット境界内のデータがキャッシュに登録される。

【0029】次に、アドレスが"000E"でデータ長が64ビットである図7に示されている範囲のアドレスのデータ2を必要としキャッシュミスした場合に、バースト転送アクセスによりデータをリードする動作を説明する。バースト転送アクセスの第1サイクルでは、データ2が存在する先頭アドレスが"0008"である64ビット境界がアクセスされ、ラップアラウンドにアクセスする等の動作はデータ1をリードする場合と全く同じである。また、キャッシュメモリ4への登録の方法も全く同じである。しかし、整置回路3の動作が異なる。

【0030】整置回路3では、図5に示されている64ビットデータバス幅でアドレスの下位から3ビット目が"1"である場合のように動作する。アドレス"0008"をアクセスする第1サイクルのDバス12の下位32ビットは4Aレジスタ40にラッチされる。アドレス"0010"をアクセスする第2サイクルのDバス12の上位32ビットは4Bレジスタ41にラッチされ、下位32ビットは4Cレジスタ42にラッチされる。この動作により、データ2は88ビットレジスタ400を構成する4A、4B、4Cレジスタに保持される。データ登録レジスタ50に保持されている88ビットのデータはシフタ43で整置された後にレジスタ44にラッチされ、Sバス13に出力される。

【0031】次に外部データバス10の幅を32ビットとして動作する場合について説明する。キャッシュミス時にはキャッシュの1ライン分のデータのリードのために2回のバースト転送アクセスが起動される。外部データバス10のバス幅が32ビットで4回のバスサイクルで構成されたバースト転送アクセスが2回行われることにより、256ビット分のデータのリードが行える。

【0032】例えば、アドレスが"000A"でデータ長が64ビットである図8に示されている範囲のアドレスのデータ1を必要としキャッシュミスした場合で、バースト転送アクセスによりデータをリードする時を説明する。図9がこの動作を示すタイミングチャートである。

【0033】第1回目のバースト転送アクセスの第1サイクルではデータ1が存在する先頭アドレスが"0008"である32ビット境界がアクセスされ、引き続きアクセスでは同じ128ビット境界内がラップアラウンドにより順次アクセスされる。

【0034】第2回目のバースト転送アクセスの第1サイクルでは、残りのデータ1が存在する先頭アドレスが"0010"である32ビット境界がアクセスされ、引き続きアクセスでは同じ128ビット境界内がラップアラウンドにより順次アクセスされる。

【0035】従って、第1回目のバースト転送アクセスは"0008"→"000C"→"0000"→"0004"のアドレス順で、第2回目のバースト転送アクセスは"0010"→"0014"→"0018"→"001C"のアドレス順でそれぞれアクセスされる。

【0036】図9(h)及び(k)に示されている外部データバスD(0:63)10及びDバス12上のデータに付与されている番号は順番に"0008", "000C", "0000", "0004", "0010", "0014", "0018", "001C"から始まる32ビットデータを示している。各データはそれぞれのデータバスの下位32ビット分のバス10L, 12L上にある。

【0037】整置回路3では、図7に示されている32ビットデータバス幅である場合のように動作する。アドレス"0008"がアクセスされる第1回目のバースト転送アクセスの第1サイクルのDバス12の下位32ビットは4Aレジスタ40にラッチされる。アドレス"000C"がアクセスされる第2サイクルのDバス12の下位32ビットは4Bレジスタ41にラッチされる。アドレス"0010"がアクセスされる第2回目のバースト転送アクセスの第1サイクルのDバス12の下位32ビットは4Cレジスタ42にラッチされる。

【0038】図9(j)に示されているバスサイクル終了信号は、バスサイクルの切れ目を示すのみならずDバス12上に有効なデータが乗っていることも示している。この信号がアサートされている期間に整置回路3及びキャッシュメモリ4にあるレジスタにデータがラッチされる。この動作により、データ1は88ビットレジスタ400を構成する4A, 4B, 4Cレジスタ40, 41, 42に保持される。この88ビットのデータはシフタ43で整置された後にレジスタ44にラッチされ、Sバス13に出力される。

【0039】キャッシュメモリ4では、バースト転送アクセスでリードしたデータがデータ登録レジスタ50に順次ラッチされて行く。第1回目のバースト転送でアクセスされるアドレスは"0008"→"000C"→"0000"→"0004"の順なので、第1サイクルのDバス12の下位32ビットはデータ登録レジスタ50のレジスタ5Cに、第2サイクルのDバス12の下位32ビットは同じく5Dに、第3サイクルのDバス12の下位32ビットは同じく5Aに、第4サイクルのDバス12の下位32ビットは同じく5Bにそれぞれラッチされる。第2回目のバースト転送でアクセスされるアドレスは"0010"→"0014"→"0018"→"0018"の順なので、第1サイクルのDバス12の下位32ビットはデータ登録レジスタ50のレジスタ5Eに、第2サイクルのDバス12の下位32ビットは同じく5Fに、第3サイクルのDバス12の下位32ビットは同じく5Gに、第4サイクルのDバス12の下位32ビットは同じく5Hにそれぞれラッチされる。

【0040】図9(j)に示されているバスサイクル終了信号は、バスサイクルの切れ目を示すのみならずDバス12上に有効なデータが乗っていることも示している。この信号がアサートされている期間にレジスタにデータがラッチされる。

【0041】第2回目のバースト転送アクセスの第4サイクルが終了するとキャッシュメモリ4にデータが登録される。このようにして、データ1を含む256ビット境界内のデータがキャッシュに登録される。

【0042】ここで、アドレスが"000E"でデータ長が64ビットである図7に示されている範囲のアドレスのデータ2を必要としキャッシュミスした場合に、バースト転送アクセスによりデータをリードする動作を説明する。

【0043】第1回目のバースト転送アクセスの第1サイクルでは、データ2が存在する先頭アドレスが"000C"である32ビット境界がアクセスされ、引き続くアクセスでは同じ128ビット境界内がラップアラウンドにより順次アクセスされる。従って、第1回目のバースト転送アクセスは"000C"→"0000"→"0004"→"0008"のアドレス順でアクセスされる。第2回目のバースト転送アクセスはデータ1の場合と同じである。第1回目のバースト転送アクセスのアドレスの順序が異なるので、整置回路3での動作及びキャッシュメモリ4への登録の動作も異なる。

【0044】整置回路3では、図5に示されている32ビットデータバス幅である場合のよう

に動作する。アドレス"000C"がアクセスされる第1回目のバースト転送アクセスの第1サイクルのDバス12の下位32ビットは4Aレジスタ40にラッチされる。アドレス"0010"がアクセスされる第2回目のバースト転送アクセスの第2サイクルのDバス12の下位32ビットは4Bレジスタ41にラッチされる。アドレス"0014"がアクセスされる第2回目のバースト転送アクセスの第1サイクルのDバス12の下位32ビットは4Cレジスタ42にラッチされる。

【0045】キャッシュメモリ4では、バースト転送アクセスでリードされたデータがデータ登録レジスタ50に順次ラッチされて行く。第1回目のバースト転送でアクセスされるアドレスは"000C"→"0000"→"0004"→"0008"の順なので、第1サイクルのDバス12の下位32ビットはデータ登録レジスタ50のレジスタ5Dに、第2サイクルのDバス12の下位32ビットは同じく5Aに、第3サイクルのDバス12の下位32ビットは同じく5Bに、第4サイクルのDバス12の下位32ビットは同じく5Cにそれぞれラッチされる。第2回目のバースト転送でアクセスされるアドレスは"0010"→"0014"→"0018"→"0018"の順なので、第1サイクルのDバス12の下位32ビットはデータ登録レジスタ50のレジスタ5Eに、第2サイクルのDバス12の下位32ビットは同じく5Fに、第3サイクルのDバス12の下位32ビットは同じく5Gに、第4サイクルのDバス12の下位32ビットは同じく5Hにそれぞれラッチされる。第2回目のバースト転送アクセスの第4サイクルが終了するとキャッシュメモリ4に登録される。このようにして、データ2を含む 256ビット境界内のデータがキャッシュに登録される。

【0046】

【発明が解決しようとする課題】従来のデータ処理装置では、前述のようにスタティックバスサイジング機能により変更される外部データバスのバス幅に応じて、整置回路、キャッシュメモリ、内部データ演算回路等の内部機能回路の制御方法が変更されて動作する。また、前述のようにキャッシュメモリの登録に必要なだけのデータをリードするために、外部データバスのバス幅に応じてバースト転送アクセスの回数を変更するように動作する。内部データ演算回路はバスインタフェイスに対してアドレスを転送してアクセスの要求を行う。しかし、内部データ演算回路では、使用する外部データバスのバス幅が64ビットなら1回のみ、32ビットなら2回のアクセス要求を出すというような制御を行っている。

【0047】従って、従来のデータ処理装置ではバスサイジング機能により指示された外部データバスのバス幅に応じて、データ処理装置の内部機能回路を異なる手順の制御で動作させることが必要になり、このため内部機能回路が複雑になるなどの問題点がある。

【0048】本発明はこのような問題点を解決するためになされたものであり、データ処理装置の内部機能回路の動作の制御をデータバスのバス幅には拘わらずに同一制御で行えるデータ処理装置の提供を目的とする。

【0049】

【課題を解決するための手段】本発明のデータ処理装置は、外部データバスと、この外部データバスを介して接続されそのバス幅の全幅を1単位とするメモリ境界複数にてメモリ領域が構成される外部メモリとを備えており、更に外部メモリのアクセスに際して外部データバスのバス幅の一部を使用するかまたは全部を使用するかを切り替えるバスサイジング手段と、外部メモリ上の任意の位置のデータをアクセスする場合に、アクセス対象のアドレスを含むメモリ境界から連続する複数のメモリ境界をアクセスするアクセス手段と、アクセス対象のアドレスに基づいてそのアドレスを含むメモリ境界の先頭アドレスを発生するアドレス発生手段と、アドレス発生手段により発生された先頭アドレスから順にメモリ領域内を連続的にアクセスするバスインタフェイス回路とを備えてい



る。

【0050】また本発明のデータ処理装置では上述の構成に加えて、外部データバスと同一ビット幅を有して外部データバスからデータが入力される内部データバスと、外部データバスのバス幅の内のバスサイジング手段により指定可能な最小のバス幅以外のバス幅と同一ビット幅のレジスタとを備え、バスインタフェイス回路は、外部データバスのバス幅全部を使用して外部メモリを連続的にアクセスする場合は、アクセスの都度、外部データバス上のデータを直接内部データバスへ出力し、外部データバスのバス幅の一部を使用して外部メモリを連続的にアクセスする場合は、アクセスの都度、外部データバスからデータをレジスタに蓄積し、レジスタにデータが満たされた場合に次のアクセスに際して外部データバスからのデータを内部データバスの対応するビット位置へ出力すると共にレジスタに蓄積されているデータを内部データバスの対応するビット位置に出力するように構成されている。

【0051】更に本発明のデータ処理装置は、外部データバスと、この外部データバスを介して外部メモリが接続されており、外部メモリのアクセスに際して外部データバスのバス幅の一部を使用するかまたは全部を使用するかを切り替えるバスサイジング手段と、所定回数の外部バスアクセスを1組の処理として実行することにより連続的に外部メモリをアクセスするアクセス手段と、アクセスの起動が要求された場合に、アクセス起動要求を受け付けて、外部メモリに対して外部バスアクセスを起動するバスインタフェイス回路とを備え、このバスインタフェイス回路は、1アクセスの起動要求に対して、外部データバスのバス幅全部を使用してアクセスする場合には1組の連続した外部バスアクセスを1組発生して外部メモリの対応するメモリ領域をアクセスし、外部データバスのバス幅の一部を使用する場合には、使用するバス幅に対応して複数組の連続した外部バスアクセスを発生し、各1組の連続した外部バスアクセスの第1番目の外部バスアクセスのためのアドレスを発生して各1組の連続した外部バスアクセスを起動し、外部データバスのバス幅全部を使用した場合のメモリ領域を順次アクセスするように構成されている。

【0052】

【作用】本発明のデータ処理装置では、外部メモリ上の任意の位置のデータをアクセスする場合に、アクセス対象のアドレスを含むメモリ境界から連続する複数のメモリ境界がアクセス手段によりアクセスされるが、その際、アクセス対象のアドレスに基づいてそのアドレスを含むメモリ境界の先頭アドレスがアドレス発生手段により発生され、このアドレス発生手段により発生された先頭アドレスから順にメモリ領域内がバスインタフェイス回路により連続的にアクセスされる。

【0053】また本発明のデータ処理装置では、外部データバスのバス幅の一部のみを使用している場合には、外部データバスから入力されたデータがレジスタに蓄積され、このレジスタに蓄積されたデータと外部データバスから入力されたデータとが内部データバスへ出力され、外部データバスのバス幅の全幅を使用している場合には外部データバスから入力されたデータがそのまま内部データバスへ出力される。

【0054】更に本発明のデータ処理装置では、バスインタフェイス回路により、1アクセスの起動要求に対して、外部データバスのバス幅全部を使用してアクセスする場合には1組の連続した外部バスアクセスを1組発生して外部メモリの対応するメモリ領域をアクセスし、外部データバスのバス幅の一部を使用する場合には、使用するバス幅に対応して複数組の連続した外部バスアクセスを発生し、各1組の連続した外部バスアクセスの第1番目の外部バスアクセスのためのアドレスを発生することにより各1組の連続した外部バスアクセスを起動し、外部データバスのバス幅全部を使用した場合のメモリ領域が順次アクセスされる。

## 【0055】

【実施例】以下、本発明をその実施例を示す図面に基づいて詳述する。なお、以下の本発明の説明に参照される各図において前述の従来例の説明で参照した各図と同一の参照符号は同一又は相当部分を示している。

【0056】図1は本発明のデータ処理装置の構成例を示すブロック図であり、図10に示されているバスインタフェース2のデータ転送系の回路以外はバスサイジング機能を有することも含めて従来例のデータ処理装置と同一の構成である。

【0057】この本発明のデータ処理装置1には外部データバス10及び外部アドレスバス11にて外部メモリ6が接続されている。外部データバスD(0:63)10のバス幅は64ビットであるが、スタティックバスサイジング機能を有して外部データバス10を64ビット幅または32ビット幅のいずれかに指定して使用することが可能である。外部データバス10を32ビット幅で使用する場合は、外部データバス10の下位32ビットD(32:63)のみを使用してアクセスする。なお、外部アドレスバスA(0:31)11は32ビット幅に固定されている。

【0058】本発明のデータ処理装置1はバスインタフェース2と内部機能回路とで構成されている。内部機能回路としては、整置回路3、キャッシュメモリ4、内部データ演算回路5等が備えられている。そして、整置回路3とキャッシュメモリ4とは共に内部データバスであるDバス12によりバスインタフェース2と接続されている。また整置回路3と内部データ演算回路5とはデータバス13で接続されており、キャッシュメモリ4とSバス13とはバス14にて接続されている。

【0059】図10はバスインタフェース2のデータ転送系の回路の構成を示す回路図である。この回路は3状態バッファ20、21、22及び32ビットのレジスタ23、バッファ24、25にて構成されてる。外部データバス10の上位32ビット分のバス10Hはバッファ24及び3状態バッファ20を介してDバス12の上位32ビット分のバス12Hに接続されており、外部データバス10の下位32ビット分のバス10Lはバッファ25及び3状態バッファ22を介してDバス12の下位32ビット分のバス12Lに接続されている。また、バッファ25の出力はレジスタ23に接続されており、このレジスタ23の出力は3状態バッファ21を介してDバス12の上位32ビット分のバス12Hに接続されている。

【0060】整置回路3及びキャッシュメモリ4の構成はそれぞれ図4及び図6に示されている従来例と同様である。

【0061】図11にデータリードの際の3状態バッファ20、21、22の制御信号2A、2B、2Cの論理レベルを示す。制御信号2A、2B、2Cは外部データバス10のバス幅に応じて変化する。外部データバス10のバス幅が64ビットである場合は、外部データバス10の上位32ビットがDバス12の上位32ビットに出力され、外部データバス10の下位32ビットがDバス12の下位32ビットに出力される。外部データバス10のバス幅が32ビットである場合は、レジスタ23のデータがDバス12の上位32ビットに出力され、外部データバス10の下位32ビットがDバス12の下位32ビットに出力される。

【0062】図7は外部メモリ6のメモリ空間の一部の構成を示す模式図であり、従来例の場合と同様である。なお、図7に示されているアドレスはバイトアドレスであり、またここに示されているのは32ビットアドレスの下位16ビットであり、16進数で表示されている。

【0063】図8及び図12はバースト転送アクセスのタイミングを示すタイミングチャートである。図8は外部データバス10が64ビット幅である場合を示しており、従来例の場合と同様である。また、図12は32ビット幅である場合を示している。

【0064】次に上述のような本発明のデータ処理装置1の動作について図面を参照して説明する。

【0065】データ処理装置1は、メモリに対するデータリードの必要が生じると、まず内蔵のキャッシュメモリ4に対してアクセスを行う。キャッシュミスした場合、即ちアクセス

対象のデータがキャッシュメモリ4に予め格納されていない場合は、外部メモリ6に対してバスサイクルを起動し、バースト転送アクセスによりデータのリードを行う。外部メモリ6に対するアクセスが行われてデータがリードされると、整置回路3がデータを整置すると同時に、キャッシュメモリ4にそのデータが登録される。次回に同じアドレスに対してアクセスが行われた場合は、既にキャッシュメモリ4にデータが存在するのでキャッシュヒットし、アクセスに要する時間が短縮される。

【0066】本発明のデータ処理装置1は、前述のようにスタティックバスサイジング機能を有しているので外部データバス10のバス幅を変更して動作可能である。キャッシュミスをバースト転送アクセスによりデータのリードを行う場合の動作が、使用する外部データバス10のバス幅によりどのように異なるかを以下に説明する。

【0067】まず、外部データバス10のバス幅を64ビットとして動作する場合であるが、これは従来例とほぼ同様である。

【0068】図10に示されている本発明のバスインタフェイス2のデータ転送系の回路は、外部データバス10のバス幅が64ビットである場合は外部データバス10の上位32ビットをDバス12の上位32ビットへ、外部データバス10の下位32ビットをDバス12の下位32ビットへそれぞれ出力する。従って、図2に示されている従来例のバスインタフェイス2のデータ転送系の回路と等価な動作をする。

【0069】図7に示されている範囲のアドレスのデータ1に対するアクセスの起動要求は、内部データ演算回路5が1回だけバスインタフェイス2に対して行う。この際、バスインタフェイス2にはデータ1の先頭アドレス"000A"が送られる。バスインタフェイス2は外部データバス10のバス幅が64ビットであることから判断して、1回のブロック転送アクセスを起動する。

【0070】図8(j)に示されているバスサイクル終了信号は、本発明ではバスサイクルの切れ目を示しているのではなく、Dバス12上に有効なデータが乗っていることを示している。しかし、外部データバス10のバス幅が64ビットである場合は、バスサイクルの切れ目と一致する。

【0071】次に外部データバス10のバス幅を32ビットとして動作する場合について説明する。キャッシュミス時にはキャッシュの1ライン分のデータのリードのために2回のバースト転送アクセスが起動される。外部データバス10のバス幅が32ビットで4回を1組とするバスサイクルで構成されたバースト転送アクセスを2回行うことにより、256ビット分のデータのリードが行える。

【0072】例えば、アドレスが"000A"でデータ長が64ビットである図7に示されている範囲のアドレスのデータ1を必要としキャッシュミスした場合に、バースト転送アクセスによりデータをリードする場合の動作を説明する。図12がこの動作を示すタイミングチャートである。

【0073】データ1に対するアクセスの起動要求は、内部データ演算回路5が1回だけバスインタフェイス2に対して行う。この際、バスインタフェイス2にはデータ1の先頭アドレス"000A"が送られる。内部データ演算回路5からの1つのアクセス起動要求に対して、バスインタフェイス2は外部データバス10のバス幅が32ビットであることから判断して、自動的に2回のブロック転送アクセスを起動する。バスインタフェイス2は2回目のバースト転送アクセスの先頭アドレスも自動的に生成する。1回目のバースト転送アクセスはアドレス"000A"から開始するもので、2回目のバースト転送アクセスはアドレス"0010"から開始される。

【0074】第1回目のバースト転送アクセスの第1サイクルではデータ1が存在する先頭アドレスが"0008"である32ビット境界がアクセスされ、引き続くアクセスでは同じ128ビット境界内がラップアラウンドにより順次アクセスされる。第2回目のバースト転送アク

セスの第1サイクルでは残りのデータ1の存在する先頭アドレスが"0010"である32ビット境界がアクセスされ、引き続くアクセスでは同じ128ビット境界内がラップアラウンドにより順次アクセスされる。

【0075】従って、第1回目のバースト転送アクセスは"0008"→"000C"→"0000"→"0004"のアドレス順で、第2回目のバースト転送アクセスは"0010"→"0014"→"0018"→"001C"のアドレス順でそれぞれアクセスされる。

【0076】図10に示されている本発明のバスインタフェース2のデータ転送系の回路は、外部データバス10のバス幅が32ビットである場合はレジスタ23上のデータをDバス12の上位32ビットへ、外部データバス10の下位32ビットをDバス12の下位32ビットへそれぞれ出力する。レジスタ23へはバースト転送アクセスの奇数サイクルでリードしたデータがラッチされる。バースト転送アクセスの偶数サイクルでは、レジスタ23上のデータがDバス12の上位32ビットへ、外部データバス10の下位32ビットがDバス12の下位32ビットへそれぞれ出力されるので、直前の奇数サイクルでリードされたデータと偶数サイクルでリードされたデータとが64ビットに揃えられてDバス12に出力される。

【0077】図12(h)に示されている外部データバスD(32:63)10に付与された番号のデータは順番に"0008", "000C", "0000", "0004", "0010", "0014", "0018", "001C"から始まる32ビットデータを示している。データは外部データバス10の下位32ビット上にある。

【0078】図12(j)に示されている本発明のデータ処理装置1におけるバスサイクル終了信号は、バスサイクルの切れ目を示すのではなく、Dバス12上に有効なデータが乗っていることを示している。従って、この信号がアサートされている期間に整置回路3、キャッシュメモリ4にあるレジスタにデータがラッチされる。

【0079】整置回路3及びキャッシュメモリ4から見れば、バースト転送アクセスが2回行われたことは分からず、"0008"→"0000"→"0010"→"0018"の順に64ビットデータをリードした場合と同等な動作となる。外部データバス10のバス幅が32ビットである場合、アドレスはラップアラウンドしない場合もあるが整置回路3あるいはキャッシュメモリ4はアドレスの下位32ビット目から5ビット目までを見て各レジスタにラッチするので問題は生じない。

【0080】整置回路3では、図5に示されている64ビットデータバス幅でアドレスの下位から3ビット目が"0"である場合のように動作する。本発明のデータ処理装置1では、整置回路3は外部データバス10のバス幅に無関係に動作することが可能であるので、アドレスの下位から3ビット目の値に応じて動作が異なるのみである。アドレス"0008"から64ビットをアクセスした場合と等価な1回目のバスサイクル終了信号が有効になったDバス12の上位32ビットは4Aレジスタ40に、下位32ビットは4Bレジスタ41にそれぞれラッチされる。アドレス"0010"から64ビットをアクセスしたのと等価な3回目のバスサイクル終了信号が有効になったDバス12の上位32ビットは4Cレジスタ42にラッチされる。この動作により、データ1は88ビットレジスタ400を構成する4A、4B、4Cレジスタ40、41、42にそれぞれ格納される。この88ビットのデータはシフタ43で整置されてレジスタ44にラッチされ、Sバス13に出力される。

【0081】キャッシュメモリ4では、バースト転送アクセスでリードしたデータがデータ登録レジスタ50に順次ラッチされて行く。アドレスは"0008"→"0000"→"0010"→"0010"の順に64ビットずつリードした場合と等価なので、アドレス"0008"から64ビットがアクセスされた場合と等価な1回目のバスサイクル終了信号が有効になったDバス12の上位32ビットはデータ登録レジスタ50のレジスタ5Cに、下位32ビットは同じく5Dに、アドレス"0000"から64ビットをアクセスした場合と等価な2回目のバスサイクル終了信号が有効になったDバス12の上位32ビットは同じく5Aに、下位32ビットは同じく5Bに、アドレス"0010"から64ビットをアクセスした場合と等価な3回目のバスサイクル終了信号が有効

になったDバス12の上位32ビットは同じく5Eに、下位32ビットは同じく5Fに、アドレス"0018"から64ビットをアクセスした場合と等価な4回目のバスサイクル終了信号が有効になったDバス12の上位32ビットは同じく5Gに、下位32ビットは同じく5Hにそれぞれラッチされる。

【0082】4回目のバスサイクル終了信号が有効になって、全てのアクセスが終了するとキャッシュメモリ4にデータが登録される。このようにして、データ1を含む256ビット境界内のデータがキャッシュに登録される。

【0083】ここで、アドレスが"000E"でデータ長が64ビットである図7に示されている範囲のアドレスのデータ2を必要としキャッシュミスした場合に、バースト転送アクセスによりデータをリードした場合の動作を以下に説明する。

【0084】データ2に対するアクセスの起動要求は、内部データ演算回路5が1回だけバスインタフェース2に対して行う。この際、バスインタフェース2にはデータ2の先頭アドレス"000E"が送られる。内部データ演算回路5からの1つのアクセス起動要求に対して、バスインタフェース2は外部データバス10のバス幅が32ビットであることから判断して、自動的に2回のバースト転送アクセスを起動する。バスインタフェース2は2回目のバースト転送アクセスの先頭アドレスも自動的に生成する。1回目のバースト転送アクセスはアドレス"000E"から開始され、2回目のバースト転送アクセスはアドレス"0010"から開始される。

【0085】第1回目のバースト転送アクセスの第1サイクルでは、データ2が存在する64ビット境界の先頭アドレス"0008"から32ビットがアクセスされ、引き続く各アクセスでは同じ128ビット境界内がラップアラウンドにより順次アクセスされる。

【0086】第2回目のバースト転送アクセスの第1サイクルでは、残りのデータ1が存在する先頭アドレスが"0010"である32ビットがアクセスされ、引き続くアクセスでは同じ128ビット境界内がラップアラウンドにより順次アクセスされる。

【0087】従って、第1回目のバースト転送アクセスは"0008"→"000C"→"0000"→"0004"のアドレス順で、第2回目のバースト転送アクセスは"0010"→"0014"→"0018"→"001C"のアドレス順でそれぞれアクセスされる。

【0088】整置回路3及びキャッシュメモリ4から見れば、バースト転送アクセスが2回行われたことは分からず、"0008"→"0000"→"0010"→"0018"の順に64ビットデータをリードしたのと同様な動作となる。

【0089】整置回路3では、図5に示されている64ビットデータバス幅でアドレスの下位から3ビット目が"1"である場合のように動作する。本発明では、整置回路3は外部データバス10のバス幅に無関係に動作することが可能なので、アドレスの下位から3ビット目の値に応じて動作が異なるのみである。アドレス"0008"から64ビットをアクセスした場合と等価な1回目のバスサイクル終了信号が有効になったDバス12の下位32ビットは4Aレジスタ40にラッチされる。アドレス"0010"から64ビットをアクセスしたのと等価な3回目のバスサイクル終了信号が有効になったDバス12の上位32ビットは4Bレジスタ41にラッチされ、下位32ビットは4Cレジスタ42にラッチされる。この動作により、データ2は88ビットレジスタ400を構成する4A、4B、4Cレジスタ40、41、42に格納される。88ビットのデータはシフタ43で整置されてレジスタ44にラッチされ、Sバス13に出力される。

【0090】キャッシュメモリ4の動作は、データ2をアクセスする場合とデータ1をアクセスする場合とでは全く同等になる。

【0091】以上のように本実施例では、バスサイジング機能により外部データバスのバス幅の一部を使用してバスアクセスを行う際に外部データバスから入力されるデータを順次蓄積して外部データバスのバス幅分のデータを揃えるためのレジスタと、このレジスタを用いて揃えたデータが内部のデータバス上に出力していることを示す信号を生

成する回路と、1つのデータのアクセスの要求をバス幅に応じてバスサイクルを2回に分けてバスアクセスを起動して外部データバスの全部を使用したアクセスで入出力できるデータ量をアクセスする回路とをバスインタフェイスに設けたことを説明した。

【0092】また上述の実施例では、内部機能回路からバスインタフェイスに対するアクセス起動要求あるいはバスインタフェイスから内部機能回路に対するデータ、バスサイクル信号などを送受信するプロトコルを、外部データバスの一部を使用している場合と全部を使用している場合で全く同じにすることができる。

【0093】

【発明の効果】以上に詳述したように、本発明のデータ処理装置によれば、バスインタフェイスと内部機能回路間のデータ及び信号の送受信のプロトコルを外部データバスのバス幅には拘わらず同一で制御可能に構成したので、内部機能回路及びその制御回路の構成を簡単にすることが出来る。

## 図の説明

【図面の簡単な説明】

【図1】従来及び本発明のデータ処理装置の構成を示すブロック図である。

【図2】従来のデータ処理装置のバスインタフェイスのデータ転送系の回路の構成を示す回路図である。

【図3】データリード時におけるバスインタフェイスのデータ転送系の3状態バッファの制御信号の論理レベルを示す模式図である。

【図4】従来及び本発明のデータ処理装置の整置回路の構成を示すブロック図である。

【図5】Dバス上のデータがどのように図4に示されている整置回路の4A, 4B, 4Cレジスタに取り込まれるかを示す模式図である。

【図6】従来及び本発明のデータ処理装置のキャッシュメモリの構成を示すブロック図である。

【図7】メモリ空間の一部の構成を示す模式図である。

【図8】従来及び本発明のデータ処理装置においてデータバスが64ビット幅である場合のバースト転送アクセスのタイミングを示すタイミングチャートである。

【図9】従来のデータ処理装置においてデータバスが32ビット幅である場合のバースト転送アクセスのタイミングを示すタイミングチャートである。

【図10】本発明のデータ処理装置のバスインタフェイスのデータ転送系の回路の構成を示す回路図である。

【図11】データリード時のバスインタフェイスのデータ転送系の回路の3状態バッファ制御信号の論理レベルを示す模式図である。

【図12】本発明のデータ処理装置においてデータバスが32ビット幅である場合のバースト転送アクセスのタイミングを示すタイミングチャートである。

【符号の説明】

- 1 データ処理装置
- 2 バスインタフェイス
- 3 整置回路
- 4 キャッシュメモリ
- 5 内部データ演算回路
- 6 外部メモリ
- 10 外部データバス
- 12 Dバス

## 図面

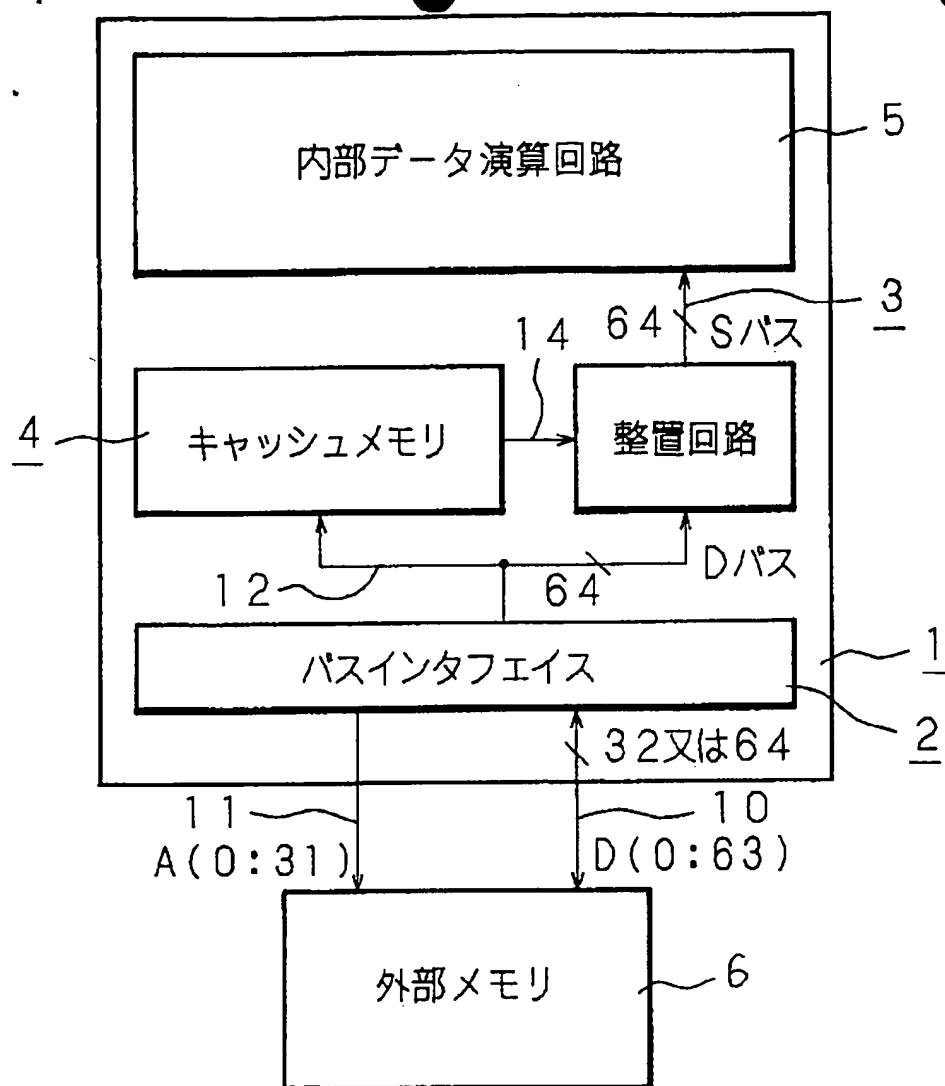
【図3】

	3Aレジスタ	3Bレジスタ
64ビット/32ビット データバス	1	1

【図11】

	2Aレジスタ	2Bレジスタ	2Cレジスタ
64ビット データバス	1	0	1
32ビット データバス	0	1	1

【図1】



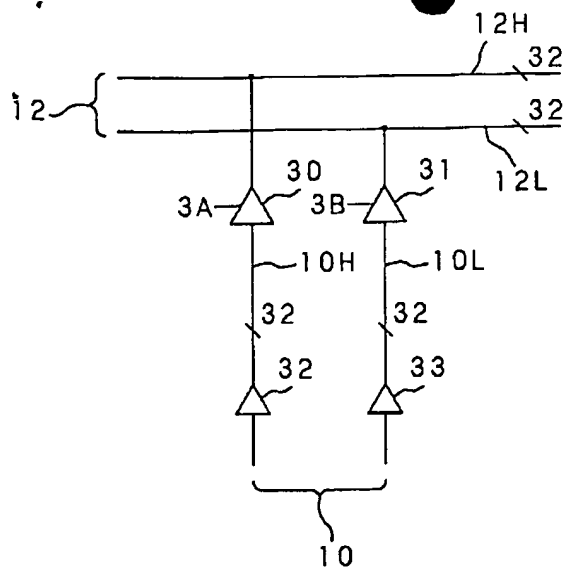
10 : 外部データバス

【図5】

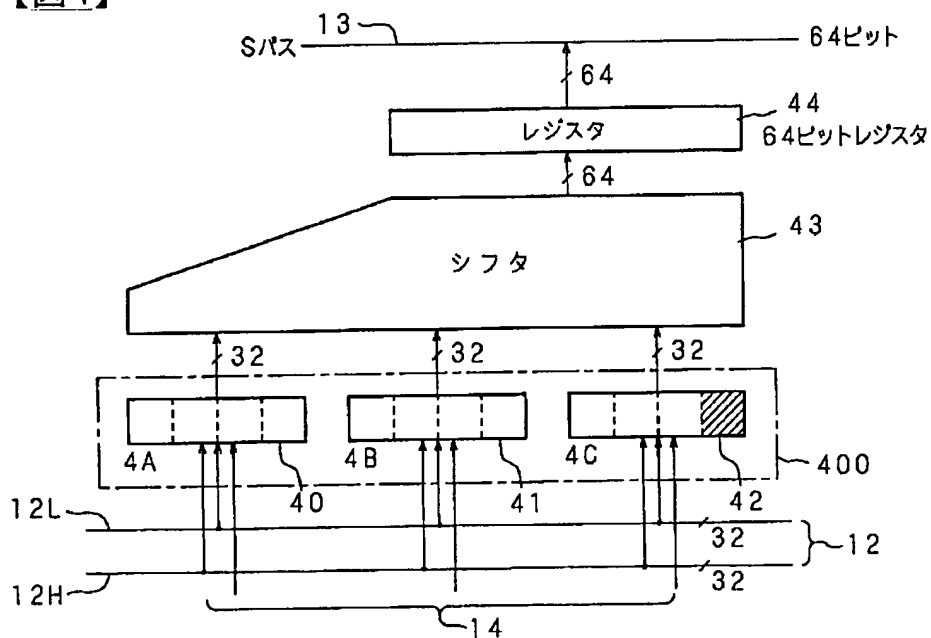
	4Aレジスタ	4Bレジスタ	4Cレジスタ
64ビットデータバス アドレス下位3ビット=0	Dバス上位	Dバス下位	Dバス上位
64ビットデータバス アドレス下位3ビット=1	Dバス下位	Dバス上位	Dバス下位
32ビットデータバス	Dバス下位	Dバス下位	Dバス下位

【図2】

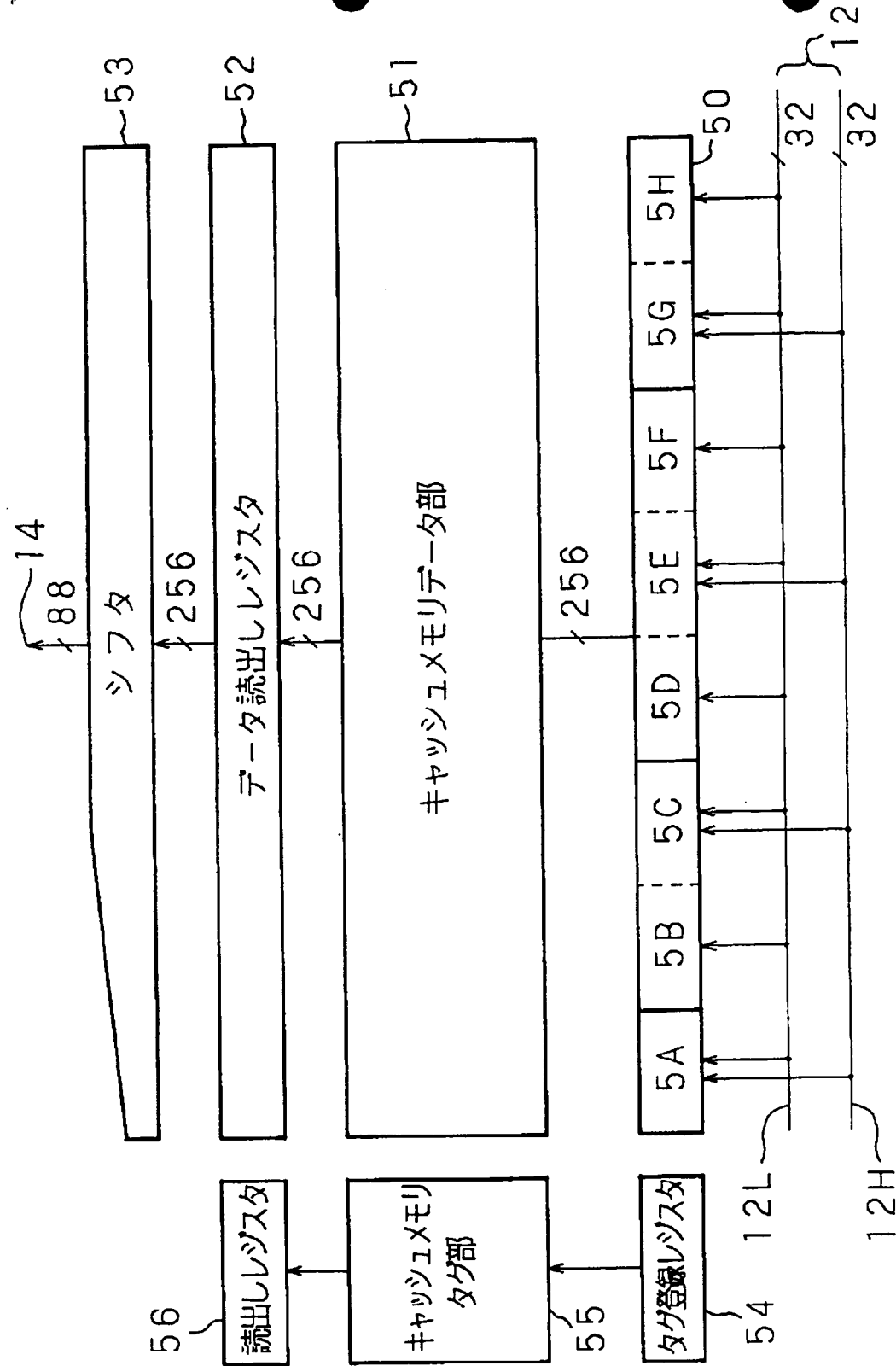




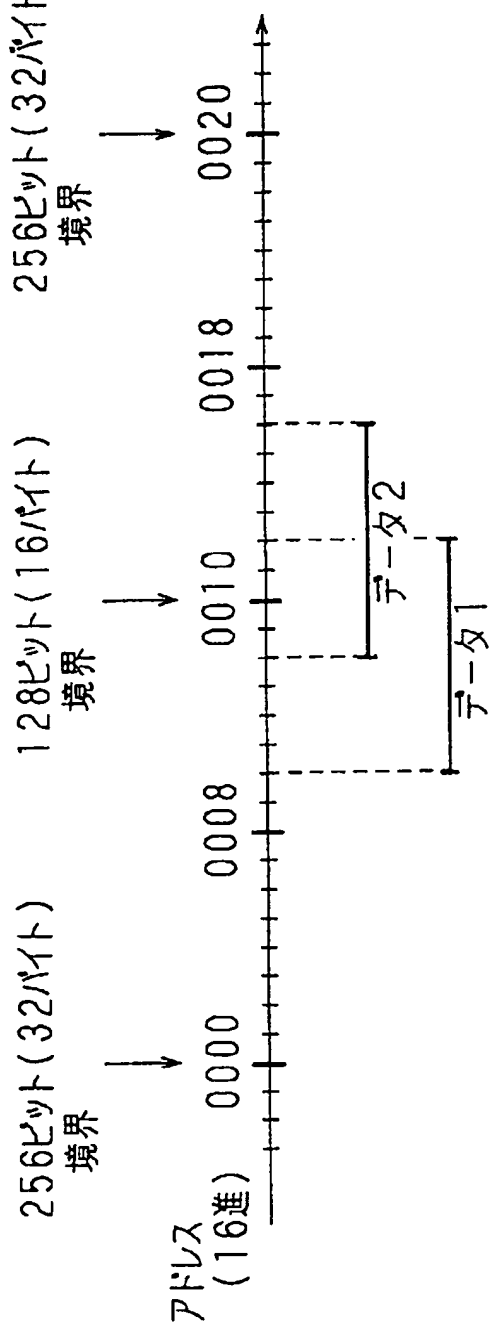
【図4】



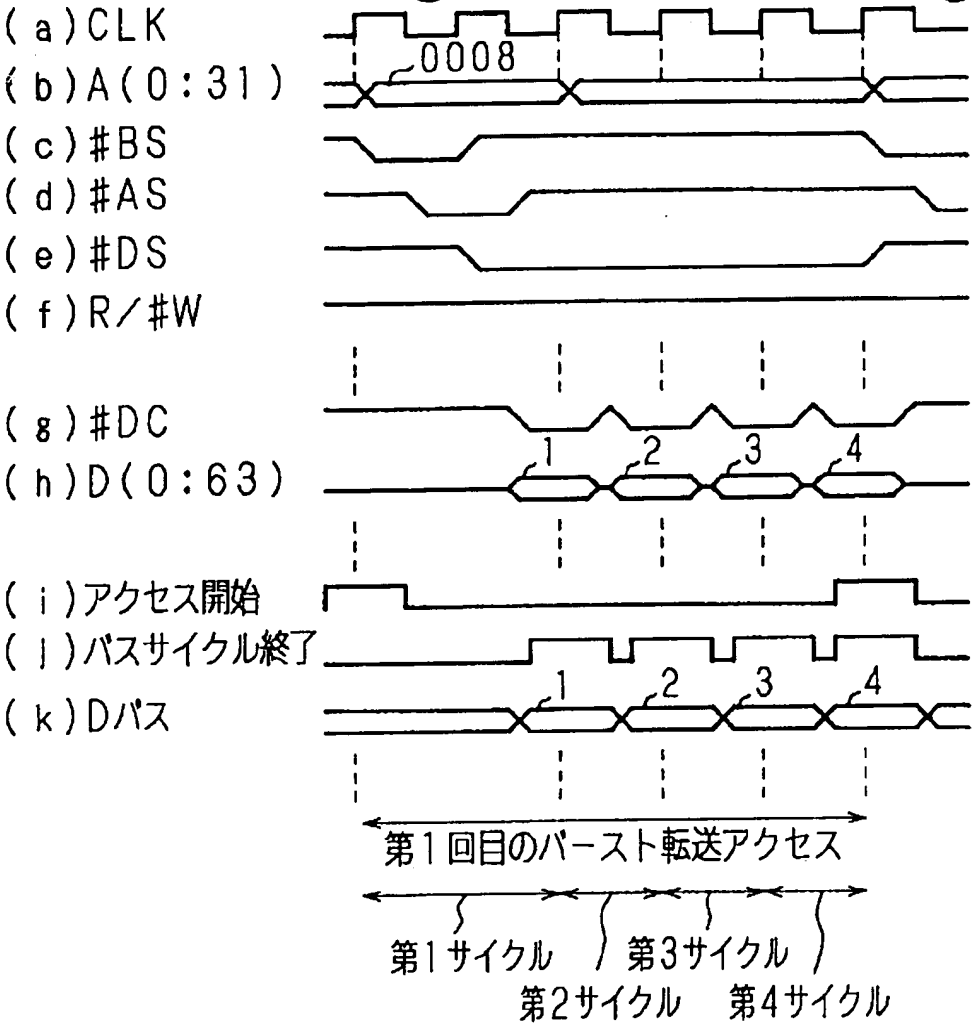
【図6】



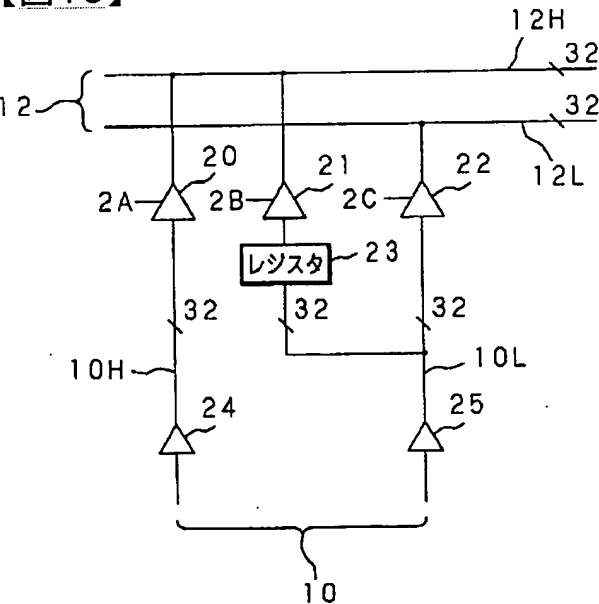
【図7】



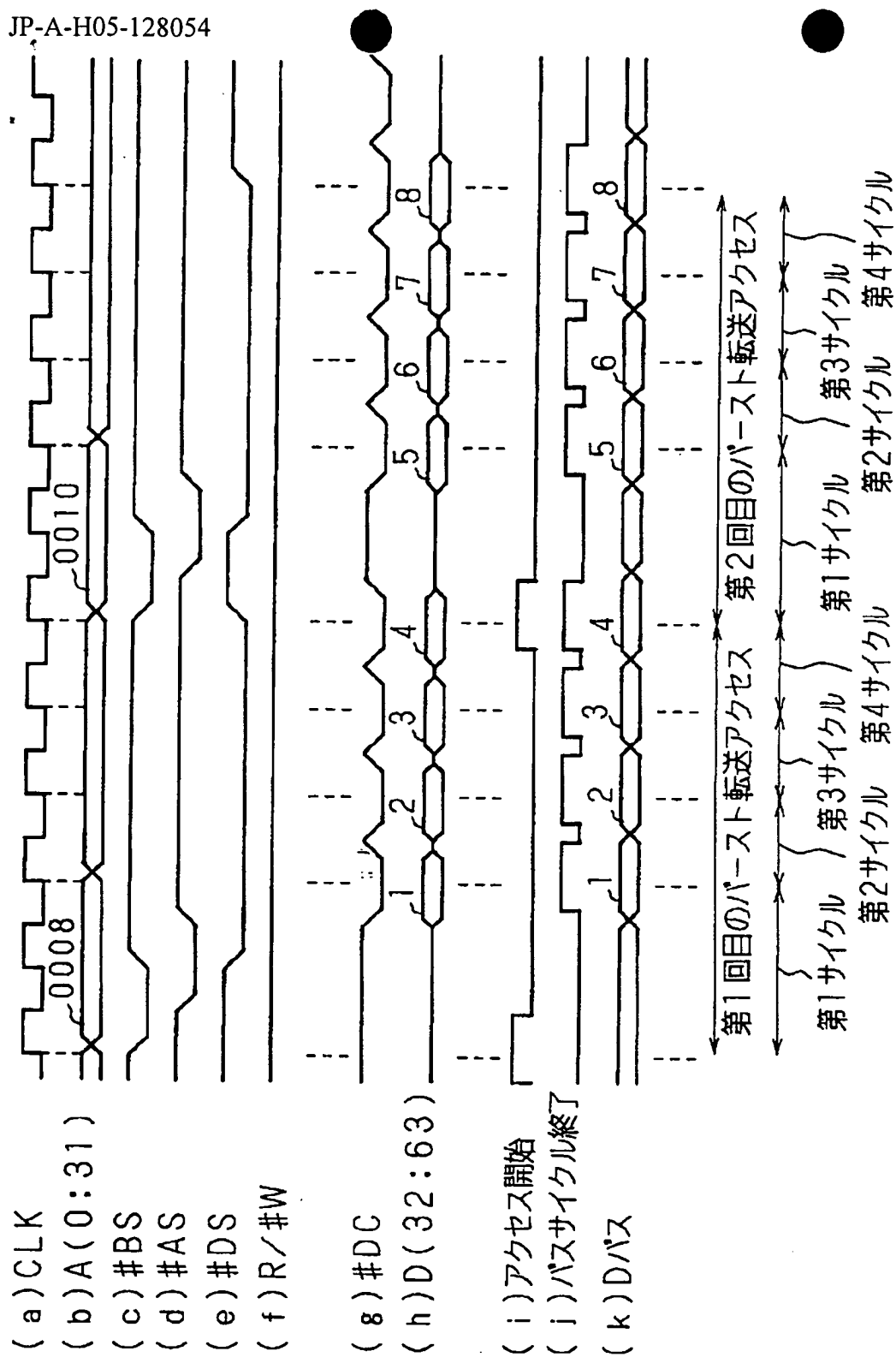
【図8】



【図10】



【図9】



【図12】

